

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-015436

(43)Date of publication of application : 22.01.1999

(51)Int.Cl.

G09G 3/28

(21)Application number : 09-270222

(71)Applicant : PIONEER ELECTRON CORP

(22)Date of filing : 02.10.1997

(72)Inventor : KOBAYASHI KENICHI

(30)Priority

Priority number : 09113189

Priority date : 30.04.1997

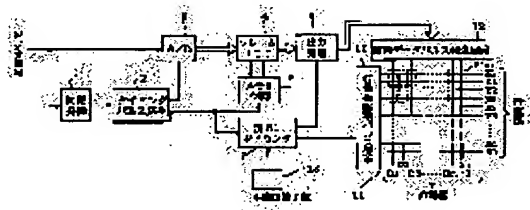
Priority country : JP

## (54) PLASMA DISPLAY PANEL DRIVING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve manufacturing yield by supplying row electrode driving pulses and pixel data driving pulses having timings and amplitudes of rising and falling edges suitable for individual plasma display panels(PDPs) to enhance display characteristics of PDPs and to adjust them to proper states every panel.

SOLUTION: A pixel data pulse generating circuit 12 generates pixel data pulses(DPs) corresponding to respective pixel data to be supplied from an output processing circuit 6 to impress them on column electrodes D1-Dm of a PDP11. A manual adjusting means 13 manually adjusts generation timings of timing signals to be outputted from a read-out timing generating circuit 7. Thus, row electrode driving pulses and/or pixel data pulses suitable for individual PDPs are adjusted so as to be outputted from a row electrode driving pulse generating circuit 10 and/or the pixel data pulse generating circuit 12 by shifting rising edges and/or falling edges of row electrode pulses and/or pixel data pulses.



## LEGAL STATUS

[Date of request for examination] 13.06.2002

[Date of sending the examiner's decision of rejection] 30.07.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3633761

[Date of registration] 07.01.2005

[Number of appeal against examiner's decision of rejection] 2004-17864



[Date of requesting appeal against examiner's decision of rejection] 30.08.2004

[Date of extinction of right]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-15436

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl.<sup>6</sup>

G 0 9 G 3/28

識別記号

F I

G 0 9 G 3/28

N

審査請求 未請求 請求項の数3 O L (全 9 頁)

(21) 出願番号 特願平9-270222

(22) 出願日 平成9年(1997)10月2日

(31) 優先権主張番号 特願平9-113189

(32) 優先日 平9(1997)4月30日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 小林 謙一

山梨県中巨摩郡田富町西花輪2680番地 バ

イオニア株式会社甲府プラズマパネルセン

ター内

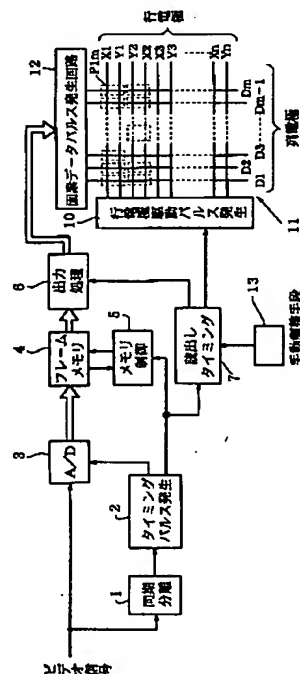
(74) 代理人 弁理士 小橋 信淳

(54) 【発明の名称】 プラズマディスプレイパネルの駆動装置

(57) 【要約】

【課題】 PDPの大画面化または高精度化を図った場合でも、個々のパネル毎に表示特性を調整して動作電圧の不安定化及び表示特性の悪化を防止する。

【解決手段】 行電極駆動パルス及び／又は画素データパルスの立ち上がりエッジのタイミング及び／又は立ち下がりエッジのタイミングと、を手動調整する手動調整手段13を設ける。



**【特許請求の範囲】**

【請求項 1】 複数の行電極対と、前記行電極に交差して互いに平行に配列された複数の列電極と、前記行電極対に行電極駆動パルスを供給する第 1 駆動手段と、前記列電極に画素データパルスを供給する第 2 駆動手段を少なくとも備えたプラズマディスプレイパネルの駆動装置であって、

前記行電極駆動パルス及び／又は画素データパルスの立ち上がりエッジのタイミング及び又は立ち下がりエッジのタイミングを手動調整する調整手段を設けたことを特徴とするプラズマディスプレイパネルの駆動装置。

【請求項 2】 前記行電極駆動パルスは、全画素を一斉に初期化するために前記行電極対に印加されるリセットパルス、前記行電極対の一方に順次印加される走査パルス、前記行電極対に一斉に印加される放電維持パルスを含むことを特徴とする請求項 1 記載のプラズマディスプレイパネルの駆動装置。

【請求項 3】 複数の行電極対と、前記行電極に交差して互いに平行に配列された複数の列電極と、を少なくとも備え、前記行電極対に全画素を一斉に初期化するためのリセットパルスを印加するリセット期間と、前記行電極対の一方に走査パルスを印加すると共に前記列電極に画素データパルスを印加して点灯画素及び消灯画素を選択するアドレス期間と、前記行電極対に放電維持パルスを印加して前記点灯画素及び消灯画素を維持する維持放電期間と、を用いて表示を行うプラズマディスプレイパネルの駆動装置であって、

前記リセットパルス、走査パルス、画素データパルス及び放電維持パルスの内の少なくとも 1 のパルスの立ち上がりエッジのタイミング、立ち下がりエッジのタイミング、パルス幅及び振幅の内の少なくとも 1 つを手動調整する調整手段を設けたことを特徴とするプラズマディスプレイパネルの駆動装置。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】 本発明は、マトリクス表示方式の交流（AC）型のプラズマディスプレイパネル（PDP）の駆動装置に関する。

**【0002】**

【従来の技術】 近年、表示装置において表示画面の面積を増大させる傾向にある。これに伴って表示装置全体が大型するため、表示装置を薄型とする（厚さを減少させる）対策を講じる必要が生じてきている。このような薄型化を図る対策は、種々考えられ、近時、実際に提供されている。その 1 つに ACPDP（交流型プラズマディスプレイ）が知られている。

【0003】 上記 ACPDP は、列電極及び列電極と直交し、一対にて 1 行（1 走査ライン）を構成する行電極を備えている。これら列電極及び行電極対各々は放電空間に対して誘電体層で覆われており、列電極及び行電極

対の各交点に放電セルが形成されている。

【0004】 図 8 は、係る ACPDP の従来の各種駆動パルスの印加タイミングを示す図である。この図 8 において、まず、負極性のリセットパルス  $R P_x$  を全ての行電極  $X 1 \sim X n$  に印加すると同時に、正極性のリセットパルス  $R P_y$  を全ての行電極  $Y 1 \sim Y n$  の各々に印加する。係るリセットパルスの印加により、全ての放電セルに放電が生じ、荷電粒子が発生し、放電終了後各放電セルに壁電荷が蓄積形成される（一斉リセット期間）。

【0005】 次に、各行毎の画素データに対応した画素データパルス  $D P 1 \sim D P n$  を順次、列電極  $D 1 \sim D m$  に印加する。この画素データパルス  $D P 1 \sim D P n$  各々の印加タイミングに同期して、走査パルス（選択消去パルス） $S P$  を行電極  $Y 1 \sim Y n$  へ順次印加して行く。この際、係る画素データパルス  $D P$  及び走査パルス  $S P$  が各々列電極及び行電極に同時に印加された放電セル（消灯画素）にのみ、放電が生じ、上記一斉リセット期間にて形成された壁電荷が消去される。一方、走査パルス  $S P$  が印加されたものの画素データパルス  $D P$  が印加されない放電セル（点灯画素）では、上述のような放電は生じないので、上記一斉リセット期間にて形成された壁電荷はそのまま残留する。このように各放電セルの壁電荷は、画素データに応じて選択的に消去され、点灯画素及び消灯画素が選択される（アドレス期間）。

【0006】 次に、正極性の放電維持パルス  $I P_x$  を行電極  $X 1 \sim X n$  の各々に印加するとともに、放電維持パルス  $I P_x$  の印加タイミングとはずれたタイミングにて正極性の放電維持パルス  $I P_y$  を行電極  $Y 1 \sim Y n$  の各々に印加する。このように放電維持パルス  $I P_x$ 、 $I P_y$  が交互に行電極対に印加され、壁電荷が残留している放電セル（点灯画素）は放電発光を繰り返す一方で、壁電荷が消滅した放電セル（消灯画素）は放電発光しない（維持放電期間）。

【0007】 そして、全ての行電極  $X 1 \sim X n$  に一斉に消去パルス  $E P$  を印加して全放電セルの壁電荷を消去する（壁電荷消去期間）。以上のように、一斉リセット期間、アドレス期間、維持放電期間、壁電荷消去期間を 1 つの表示サイクルとして、このサイクルを繰り返し行うことにより、画像表示が行われる。

**【0008】**

【発明が解決しようとする課題】 ところで、PDP を大型化または高精細化していくと行電極の配線長が長くなり、また電極幅が細くなり、行電極自体の配線抵抗が増大する。一方、維持放電期間において、各放電セルに流れる放電電流は放電維持パルスが印加されてから数  $100$  ナノ  $s e c$  程度で最大になりその後数  $100$  ナノ  $s e c$  程度経過するとほぼ流れなくなる。放電維持パルスのパルス間隔は、数マイクロ  $s e c$  程度であるため、維持放電期間において 1 つの行電極対上の選択された各放電セルがほぼ同時に放電を開始すると、瞬間的に大きな放

電流が流れ、大きな電圧降下が生じ表示特性を悪化させる。また、PDPは、放電を行わせる駆動電圧の動作範囲が比較的狭く、大型化または高精細化していくと電極形状、誘電体層の厚さ等を正確に制御して製造することが困難であるため個々のパネルによって動作電圧、表示特性が異なってくる。

【0009】本発明は、上述した問題を解決するためになされたものであり、表示特性を個々のパネルに合わせて向上させ、また表示特性をパネル毎に適性状態に調整できるプラズマディスプレイパネルの駆動装置を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明によるプラズマディスプレイパネルの駆動装置は、複数の行電極対と、行電極に交差して互いに平行に配列された複数の列電極と、行電極対に行電極駆動パルス进行供給する第1駆動手段と、列電極に画素データパルスを供給する第2駆動手段を少なくとも備えたプラズマディスプレイパネルの駆動装置であって、行電極駆動パルス及び／又は画素データパルスの立ち上がりエッジのタイミング及び／又は立ち下がりエッジのタイミングを手動調整する調整手段を設けたことを特徴とする。

【0011】

【作用】上述した構成を有する本発明のプラズマディスプレイパネルの駆動装置によれば、行電極駆動パルス及び／又は画素データパルスの立ち上がりエッジのタイミング及び／又は立ち下がりエッジのタイミングを手動調整する調整手段が設けられる。この調整手段により、個々のプラズマディスプレイパネルに適した立ち上がりエッジのタイミング及び／又は立ち下がりエッジのタイミングを有する行電極駆動パルス及び／又は画素データパルスが供給される。

【0012】尚、上述した請求項1に記載したプラズマディスプレイパネルの駆動装置においては、請求項2に記載したように、上記駆動パルスを、上記行電極対に交互に印加される放電維持パルスとすることができる。或は、上記駆動パルスを、上記行電極対に一齐に印加されるリセットパルスとしても良い。または、行電極対の一方に順次印加されるプライミングパルス又は走査パルスとしても良い。

【0013】

【発明の実施の形態】次に、本発明に係るプラズマディスプレイパネルの駆動装置の実施の各形態例について、図面を参照しつつ説明する。図1は、本発明が適用される3電極構造の反射型AC-PDPの構造を示している。まず、この図1に示したAC-PDPの構造について、簡単に説明する。このAC-PDPは、図示のように、放電空間7を介して対向配置された一対のガラス基板21、22を備えている。これらガラス基板21、22のうちの表示面側のガラス基板21の内面には、互いに平行に

隣接配置された一対の行電極（維持電極）X、Yと、これら行電極X、Yを覆う壁電荷形成用の誘電体層25と、この誘電体層25を覆うMgOから成る保護層26とが、それぞれ設けられている。尚、上記行電極X、Yは、それぞれ幅の広い帯状の透明導電膜から成る透明電極24と、その導電性を補うために積層された幅の狭い帯状の金属膜から成るバス電極（金属電極）23とから構成されている。

【0014】一方、背面側のガラス基板22の内面上には、行電極X、Yと交差する方向に設けられ、放電空間27を区画する障壁30と、各障壁30間のガラス基板22上行電極X、Yと交差する方向に配列された列電極（アドレス電極）Dと、各列電極及び障壁30の側面を覆う、所定の発光色の蛍光体層28とが、それぞれ設けられている。上記放電空間27には、ネオンに少量のキセノンを混入した放電ガスが封入されている。尚、上記の列電極及び行電極対の各交点において放電セル（画素）が形成される。

【0015】上述のように構成されるPDPを駆動させるための、本発明の実施の第1の実施形態に係るプラズマディスプレイパネルの駆動装置は、図2に示すように構成されている。すなわち、この図2において、同期分離回路1は、供給された入力ビデオ信号中から水平及び垂直同期信号を抽出してこれらをタイミングパルス発生回路2に供給する。タイミングパルス発生回路2は、これら抽出された水平及び垂直同期信号に基づいた抽出同期信号タイミングパルスを発生してこれをA/D変換器3、メモリ制御回路5及び読出タイミング信号発生回路7のそれぞれに供給する。A/D変換器3は、上記抽出同期信号タイミングパルスに同期して入力ビデオ信号を1画素毎に対応したデジタル画素データに変換し、これをフレームメモリ4に供給する。又、メモリ制御回路5は、上記抽出同期信号タイミングパルスに同期した書込信号及び読出信号を上記フレームメモリ4に供給する。

【0016】上記フレームメモリ4は、かかる書込信号に応じて、A/D変換器3から供給された各画素データを順次取り込む。又、フレームメモリ4は、かかる読出信号に応じて、このフレームメモリ4内に記憶されている画素データを順次読み出して次段の出力処理回路6へ供給する。上記読出タイミング信号発生回路7は、放電発光動作を制御するための各種タイミング信号を発生してこれらを行電極駆動パルス発生回路10及び出力処理回路6のそれぞれに供給する。上記出力処理回路6は、上記読出タイミング信号発生回路7からのタイミング信号に同期させて、上記フレームメモリ4から供給された画素データを画素データパルス発生回路12に供給する。

【0017】上記画素データパルス発生回路12は、上記出力処理回路6から供給される各画素データに応じた画素データパルスDPを発生して上記PDP（プラズマ

ディスプレイパネル) 1 1 の列電極 D1 ~ D<sub>m</sub> に印加する。上記行電極駆動パルス発生回路 1 0 は、上記 PDP 1 1 の全ての行電極対間に強制的に放電を励起せしめて後述する放電空間に荷電粒子を発生させるためのリセットパルス R P<sub>x</sub> 及び R P<sub>y</sub> と、上記荷電粒子を再形成させるためのブライミングパルス P P と、画素データ書き込みのための走査パルス S P と、放電発光を維持するための維持パルス I P<sub>x</sub>、I P<sub>y</sub> と、壁電荷を消去させるための消去パルス E P と、をそれぞれ発生して、これら各パルスを上記読出タイミング信号発生回路 7 から供給された各種のタイミング信号に応じたタイミングにて PDP 1 1 の行電極 X1 ~ X<sub>n</sub> 及び Y1 ~ Y<sub>n</sub> に印加する。

【0 0 1 8】手動調整手段 1 3 は、読出タイミング信号発生回路 7 から出力される各種タイミング信号の発生タイミングを個々のプラズマディスプレイパネルに応じて工場出荷段階で、手動調整するために設けられている。これにより、リセットパルス、ブライミングパルス、走査パルス、放電維持パルスなどの行電極駆動パルス及び／又は画素データパルスの立ち上がりエッジ及び／又は立ち下がりエッジをシフトさせ個々のプラズマディスプレイパネルに適した行電極駆動パルス及び／又は画素データパルスが行電極駆動パルス発生回路 1 0 及び／又は画素データパルス発生回路 1 2 から出力されるように調整される。

【0 0 1 9】図 3~図 5 は、手動調整手段 1 3 により放電維持パルスの印加タイミングを調整した第 1 ~ 第 3 の駆動波形を示す。各図に示すように、PDP 1 1 は、リセット期間、アドレス期間、維持放電期間及び壁電荷消去期間で構成される 1 サブフレームを繰り返して表示を行うように構成されている。

【0 0 2 0】リセット期間においては、全画素を一斉に初期化するために全行電極対に一斉に長時定数の第 1 リセットパルス R P<sub>x</sub> 1、R P<sub>y</sub> が印加され、次いで第 2 リセットパルス R P<sub>x</sub> 2 が印加される。第 1 リセットパルスを時定数の長いパルスとすることによりリセット放電を弱めてコントラストを向上させると共に第 2 リセットパルスの印加により全画素に蓄積される壁電荷量を揃えている。アドレス期間においては、前記行電極対の一方の行電極 Y に走査パルス（選択消去パルス）S P を印加すると共に列電極 D に画素データパルス D P を印加して画素データに応じて選択的に壁電荷を消去して点灯画素（壁電荷が残留している画素）及び消灯画素（壁電荷が消去された画素）を選択する。尚、走査パルス S P の直前に放電空間内にブライミング粒子を再形成するためのブライミングパルス P P が行電極 Y に印加される。

【0 0 2 1】維持放電期間においては、行電極対 X、Y に交互に放電維持パルス I P<sub>x</sub>、I P<sub>y</sub> を印加して点灯画素及び消灯画素を維持する、すなわち、点灯画素のみが放電発光を繰り返す。壁電荷消去期間においては、行

電極 Y に消去パルス E P が一斉に印加され、全画素の壁電荷が消去される。

【0 0 2 2】図 3 では、手動調整手段 1 3 により、放電維持パルスの印加タイミングが調整され、放電維持パルス I P<sub>x</sub> の立ち下がり期間 a と放電維持パルス I P<sub>y</sub> の立ち上がり期間 c とを一致させると共に放電維持パルス I P<sub>x</sub> の立ち上がり期間 b と放電維持パルス I P<sub>y</sub> の立ち下がり期間 d とをほぼ一致させている。このように放電維持パルスの印加タイミングを調整することにより、行電極対 X、Y に加わる電圧が増大しかつ立ち上がりが急峻となり、結果として放電発光を強め、輝度を増加させることが可能となる。

【0 0 2 3】図 3 の駆動波形では、放電維持パルス I P<sub>x</sub> の立ち下がり期間 a、立ち上がり期間 b と、放電維持パルス I P<sub>y</sub> の立ち上がり期間 c、立ち下がり期間 d とを時間的にほぼ一致させるように放電維持パルスの印加タイミングを手動調整した例を示したが、これに代えて放電維持パルス I P<sub>x</sub> の立ち下がり期間 a と放電維持パルス I P<sub>y</sub> の立ち上がり期間 c、放電維持パルス I P<sub>x</sub> の立ち上がり期間 b と放電維持パルス I P<sub>y</sub> の立ち下がり期間 d の一部が時間的に重なるように放電維持パルスの印加タイミングを手動調整するようにしても良い。この場合には、行電極対 X、Y に加わる電圧の立ち上がりが比較的緩やかになるため、各放電セルの放電のタイミングが分散し、ピーク電流を抑制することが可能となる。

【0 0 2 4】図 4 では、手動調整手段 1 3 により、放電維持パルスの印加タイミングが調整され、一方の放電維持パルス（I P<sub>x</sub> 又は I P<sub>y</sub>）が立ち下がった直後に他方の放電維持パルス（I P<sub>y</sub> 又は I P<sub>x</sub>）が立ち上がるように設定されている。

【0 0 2 5】図 5 では、手動調整手段 1 3 により、放電維持パルスの印加タイミングが調整され、一方の放電維持パルス（I P<sub>y</sub> 又は I P<sub>x</sub>）が立ち上がった直後に他方の放電維持パルス（I P<sub>x</sub> 又は I P<sub>y</sub>）が立ち下がるように設定されている。

【0 0 2 6】図 4 及び図 5 の駆動波形では、行電極対 X、Y に加わる電圧の立ち上がりがより一層緩やかになるため、各放電セルの放電のタイミングを分散させ、ピーク電流を抑制する効果がより一層向上する。

【0 0 2 7】図 3~図 5 では、手動調整手段 1 3 により放電維持パルスの印加タイミングを調整した例を示したが、放電維持パルス S P の立ち上がりエッジ及び／又は立ち下がりエッジをシフトしてそのパルス幅を適性状態に設定し、あるいは第 1 リセットパルス R P<sub>x</sub> 1、R P<sub>y</sub>、第 2 リセットパルス R P<sub>x</sub> 2、ブライミングパルス P P、走査パルス（選択消去パルス）S P の立ち上がりエッジ及び／又は立ち下がりエッジのタイミングを調整することにより、各パルスの印加タイミング及び／又はパルス幅を適性状態に設定しても個々のプラズマディス



プレイパネル毎にアドレスマージンを最適化することが可能となる。

【0028】図6は、本発明の第2の実施形態に係るプラズマディスプレイパネルの駆動装置のブロック図を示す。本実施形態においても、手動調整手段13によりリセットパルス、ブライミングパルス、走査パルス、放電維持パルスなどの行電極駆動パルス及び／又は画素データパルスの立ち上がりエッジ及び／又は立ち下がりエッジのタイミングを調整する構成は図2の構成と同一であり、同一の構成部分については図2と同一の符号を付し、その説明は省略する。

【0029】第2の実施形態に係る駆動装置において、図2に示される第1の実施形態に係る駆動装置との相違点は、手動調整装置13によりリセットパルス、ブライミングパルス、走査パルス、画素データパルス及び放電維持パルスの内の少なくとも1のパルスの振幅をも個々のプラズマディスプレイパネル毎に手動調整できるように構成した点である。すなわち、手動調整手段13からの調整信号を電源装置20、21に供給し、電源装置20、21から行電極駆動パルス発生回路11及び画素データパルス発生回路12に供給される電圧値（振幅）を変化させることにより、リセットパルス、ブライミングパルス、走査パルス、画素データパルス及び放電維持パルスの電圧値（振幅）が個々のプラズマディスプレイパネル毎に最適化される（図7参照）。

【0030】このように、リセット期間、アドレス期間、維持放電期間などにおける行電極X、Y間の電圧、列電極—行電極間の電圧を調整することにより、輝度、アドレスマージン等が個々のプラズマディスプレイパネル毎に最適化される。

【0031】上述の図3～図5及び図7の駆動波形では、選択消去アドレス法を用いた例を示したがこれに代えて選択書込みアドレス法を用いても良い。この選択書込みアドレス法では、リセット期間において、リセットパルスを全行電極対に印加して放電発光させ一旦全画素に壁電荷を蓄積した後消去パルスを全行電極対に印加して放電発光させ壁電荷を消却するようにして全画素を一斉に初期化し、アドレス期間において、行電極対の一方に走査パルス（選択書込みパルス）を印加すると共に列電極に画素データパルスを印加して画素データに応じて選択的に書込み放電発光させ点灯画素及び消灯画素を選択する。

【0032】

【発明の効果】上述した構成を有する本発明のプラズマディスプレイパネルの駆動装置によれば、個々のプラズ

マディスプレイパネルに適した立ち上がりエッジのタイミング、立ち下がりエッジのタイミング及び振幅を有する行電極駆動パルス及び／又は画素データパルスが供給されるので、表示特性を個々のパネルに合わせて向上させることが可能となり、また表示特性をパネル毎に適性状態に調整でき、製造歩留まりが改善される。

【図面の簡単な説明】

【図1】本発明の各実施形態におけるプラズマディスプレイパネルの駆動装置で駆動されるPDPの構造を示す図である。

【図2】本発明の第1の実施形態に係るプラズマディスプレイパネルの駆動装置の構成を示す図である。

【図3】各種駆動パルスの印加タイミングの第1の調整例を示す図である。

【図4】各種駆動パルスの印加タイミングの第2の調整例を示す図である。

【図5】各種駆動パルスの印加タイミングの第3の調整例を示す図である。

【図6】本発明の第2の実施形態に係るプラズマディスプレイパネルの駆動装置の構成を示す図である。

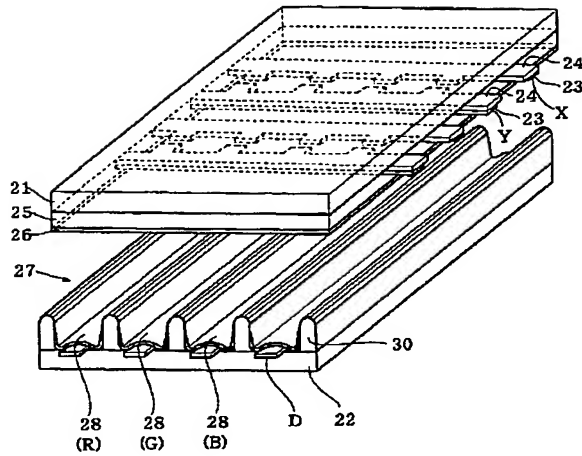
【図7】各種駆動パルスの印加タイミングの第4の調整例を示す図である。

【図8】従来のPDP駆動装置における各種駆動パルスの印加タイミングを示す図である。

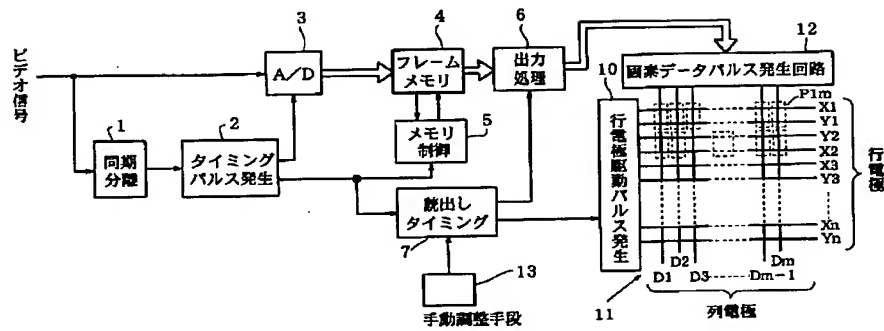
【符号の説明】

- 1 同期分離回路
- 2 タイミングパルス発生回路
- 3 A/D変換器
- 4 フレームメモリ
- 5 メモリ制御回路
- 6 出力処理回路
- 7 読出タイミング信号発生回路
- 10 行電極駆動パルス発生回路
- 11 PDP
- 12 画素データパルス発生回路
- 13 手動調整手段
- 21、22 ガラス基板
- 23 バス電極
- 24 透明電極
- 25 誘電体層
- 26 保護層
- 27 放電空間
- 28 蛍光体層
- 30 障壁

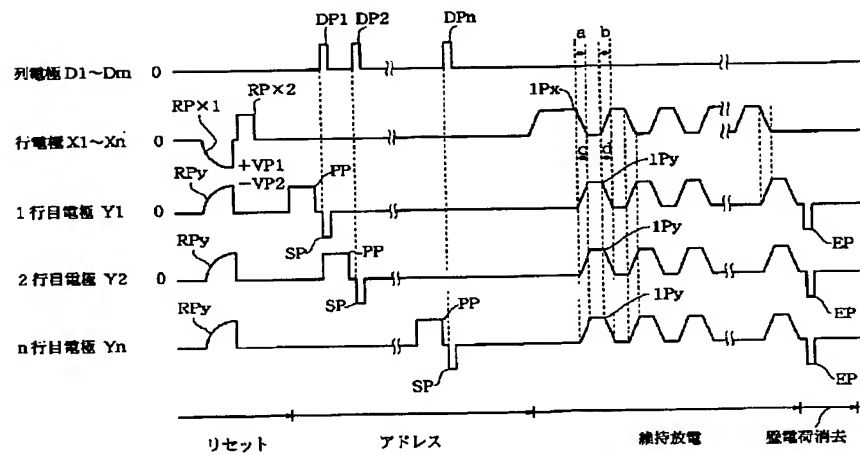
【図1】



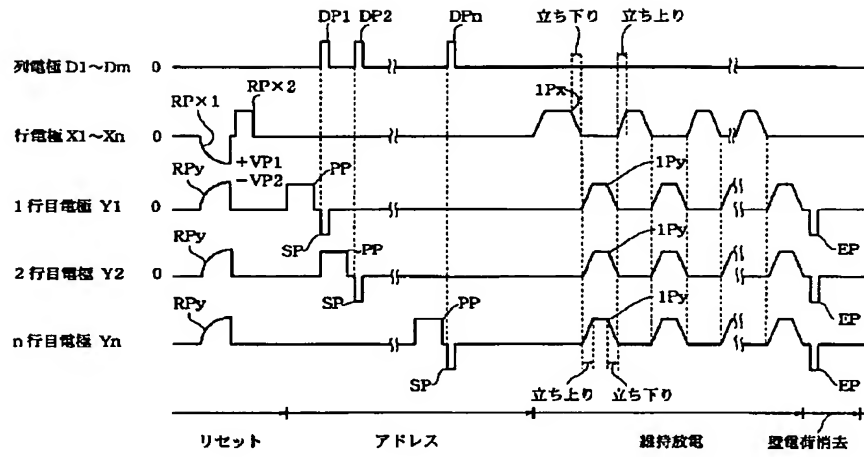
【図2】



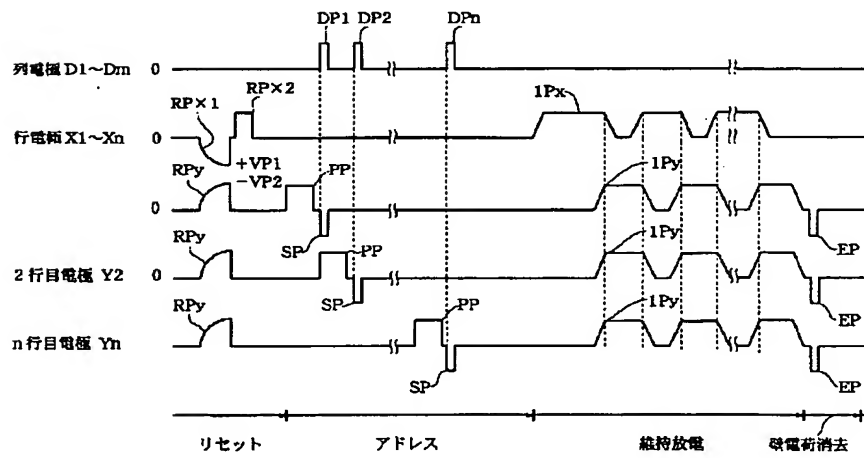
【図3】



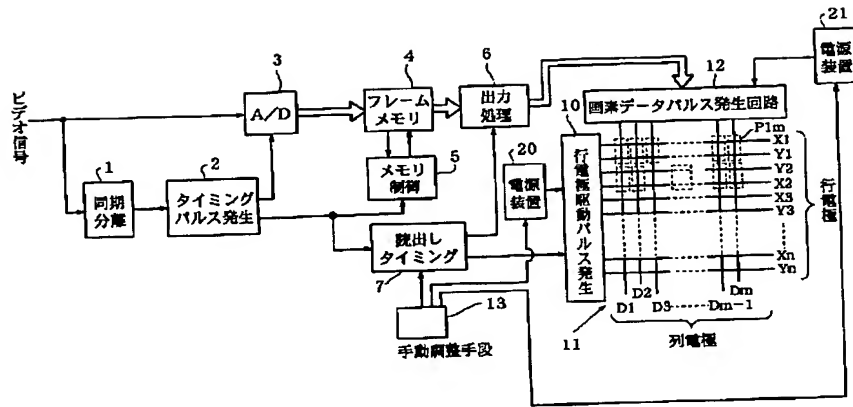
【図4】



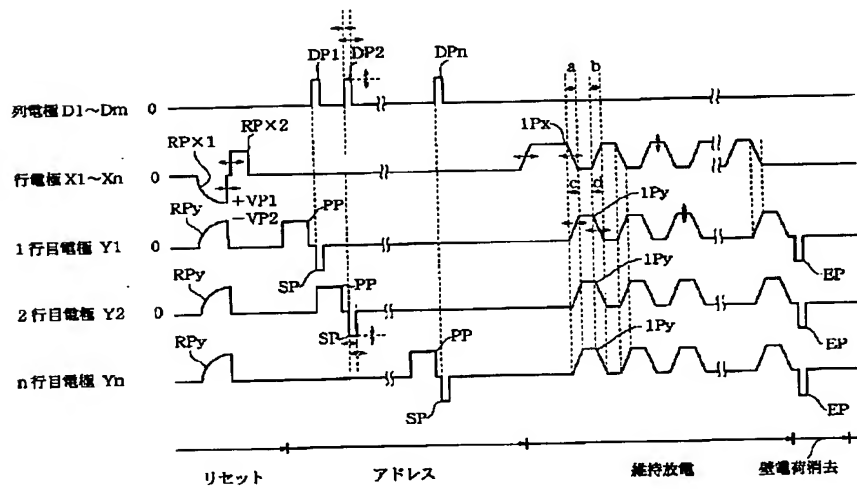
【図5】



【図6】



【図7】



【図 8】

